

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142869

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G06F 15/78
G06F 11/22

(21)Application number : 11-326776

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 17.11.1999

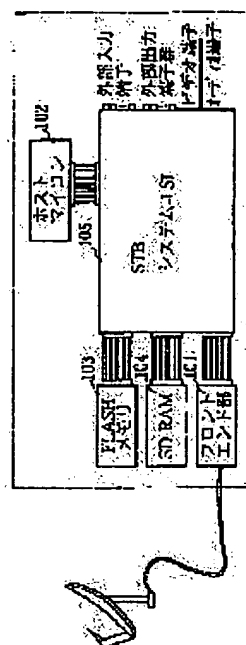
(72)Inventor : KITAMURA TOMOHIKO
OZAKA MASATAKA
SEKIBE TSUTOMU

(54) SYSTEM INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a system integrated circuit, which can appropriately investigate the cause of an abnormal operation even when the number of external terminals capable of assignment to the observation of an internal bus in a system LSI is severely limited.

SOLUTION: Comparators 11-15 are connected to any of plural buses and it is discriminated whether contents transmitted to the respective buses and a prescribed expected value are coincident or not. According to the discriminated result of the said comparators, a selector part 10 outputs contents transmitted to any one of plural internal buses to the outside of the system integrated circuit for observing an internal event.



LEGAL STATUS

[Date of request for examination] 06.07.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-142869

(P2001-142869A)

(43) 公開日 平成13年5月25日 (2001.5.25)

| (51) Int.Cl. ⁷ | 識別記号 | F I | データコード* (参考) | |
|---------------------------|-------|---------------|--------------|-----------|
| G 0 6 F 15/78 | 5 1 0 | C 0 6 F 15/78 | 5 1 0 K | 5 B 0 4 8 |
| 11/22 | 3 4 0 | 11/22 | 3 4 0 C | 5 B 0 6 2 |

審査請求 未請求 請求項の数19 O L (全 20 頁)

(21) 出願番号 特願平11-326776

(22) 出願日 平成11年11月17日 (1999. 11. 17)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 北村 朋彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(73) 発明者 尾坂 匡隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100090446

弁理士 中島 司朗 (外 1 名)

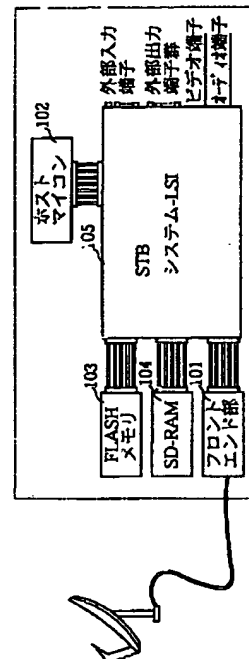
最終頁に続く

(54) 【発明の名称】 システム集積回路

(57) 【要約】

【課題】 システムLSIにおいて内部バスの観測に割り当て可能な外部端子の数が厳しく制限されている場合であっても、異常動作の原因究明を好適に行うことができるシステム集積回路を提供する。

【解決手段】 複数のバスの何れかには比較器11~15が接続されており、各バスに伝送されている内容と、所定の期待値との一致又は不一致を判定する。セレクト部10は、前記比較器における判定結果に従って、複数の内部バスのうち何れか1つのバスに伝送されている内容を、内部事象観測のためにシステム集積回路外部に出力する。



【特許請求の範囲】

【請求項1】 複数バスを内蔵しているシステム集積回路であって、

複数のバスの何れかと接続されており、その何れかのバスに伝送されている内容と、所定の期待値との一致又は不一致を判定する少なくとも1つの比較器と、
当該バスの伝送内容と期待値との一致が判定されれば、当該バスの伝送内容に付随して変化する他のバスの伝送内容を、事象観測のために選択的にシステム集積回路外部に出力するセレクト部とを備えることを特徴とするシステム集積回路。

【請求項2】 前記システム集積回路において比較器は複数存在し、各比較器及びバスには、固有の識別番号が付与されており、

前記システム集積回路は、
各比較器の識別番号と、バスの識別番号とを対応づけた対応表を記憶する記憶部と、

何れかの比較器に接続されているバスの伝送内容と所定の期待値との一致が判定されれば、その一致判定を行った比較器と対応づけられているバスの識別番号を対応表から読み出してセレクト部に通知する通知部とを備え、
前記セレクト部は、

通知された識別番号が付与されたバスの伝送内容を出力することを特徴とする請求項1記載のシステム集積回路。

【請求項3】 前記システム集積回路において比較器は複数存在し、各バスには、固有の識別番号が付与されており、

前記システム集積回路は、
何れかのバスに接続された比較器によりバスの伝送内容と所定の期待値との一致が判定されれば、伝送内容がシステム集積回路外部に出力されているバスの識別番号の次に大きい識別番号、又は、次に小さい識別番号をセレクト部に通知する通知部を備え、
前記セレクト部は、

通知された識別番号が付与されたバスの伝送内容を出力することを特徴とする請求項1記載のシステム集積回路。

【請求項4】 前記システム集積回路は更に、

前記システム集積回路外部からのデータ入力を受け付ける受付部と、
受付部が受け付けたデータがデフォルト値であるか、伝送内容を出力すべきバスを示す識別番号が含まれているかを判定する判定部を備え、
前記セレクト部は、

受付部が受け付けたデータがデフォルト値であるなら、通知部により通知された識別番号が付与されたバスの伝送内容を出力し、受付部が受け付けたデータに識別番号が含まれていると判定されたなら、通知部により通知された識別番号が付与されたバスの伝送内容に代えて、そ

の識別番号が付与されたバスの伝送内容を出力することを特徴とする請求項2又は3記載のシステム集積回路。

【請求項5】 各比較器は、期待値を保持する保持部を備え、

前記システム集積回路は、
各比較器に含まれる保持部が保持している期待値を更新する更新部を備えることを特徴とする請求項1～4の何れかに記載のシステム集積回路。

【請求項6】 前記システム集積回路は、
比較器によりバスの伝送内容と、期待値との一致が判定されると、割込信号を出力する割込信号出力部と、
システム集積回路において所定の処理を行い、割込信号が出力されれば、システム集積回路においてデバッグを行うために規定されたデバッグ処理を実行する処理部とを備えることを特徴とする請求項1～5の何れかに記載のシステム集積回路。

【請求項7】 何れかのバスは、
システム集積回路と接続されている外部デバイスに出力すべき所定のデータ又はアドレスを伝送する外部デバイス用バスであり、

前記セレクト部は、
前記少なくとも1つの比較器が期待値との一致判定を行っていない状態において外部デバイス用バスの伝送内容をシステム集積回路外部に出力し、前記比較器により所定の期待値との一致が判定されれば、その判定結果に従って、複数の内部バスのうち何れか1つのバスに伝送されている内容を、システム集積回路外部に出力することを特徴とする請求項1記載のシステム集積回路。

【請求項8】 各バスには、固有の識別番号が付与されており、

前記システム集積回路において比較器は複数存在し、各バスには、比較器が2つずつ接続されており、
同一バスに接続された2つの比較器のうち、一方の比較器は、当該バスに伝送されている内容と、所定の期待値との一致判定を行い、

他方の比較器は、当該バスに伝送されている内容と、別の所定の期待値との一致比較を行うものであり、
前記セレクト部は、

同一バスに接続されている2つの比較器の双方又は何れか一方において期待値と、バスの伝送内容との一致が判定されれば、複数の内部バスのうち何れか1つのバスに伝送されている内容を、システム集積回路外部に出力することを特徴とする請求項1記載のシステム集積回路。

【請求項9】 前記バスのビット幅は、mビットであり、

前記システム集積回路は、
k個の出力端子を備え、
前記セレクト部は、
mビットのうち、kビットをk個の出力端子に出力し、その後、残りのデータをk個の出力端子に出力することを

特徴とする請求項1～8の何れかに記載のシステム集積回路。

【請求項10】 セレクタ部が何れかのバスに伝送されている内容をシステム集積回路外部に出力させる際、当該バスを示す識別番号をシステム集積回路外部に出力する出力部を備えることを特徴とする請求項1～9の何れかに記載のシステム集積回路。

【請求項11】 複数バスを内蔵しているシステム集積回路であって、
複数のバスの何れかと接続されており、その何れかのバスに伝送されている内容と、所定の期待値との一致又は不一致を判定する少なくとも1つの比較器と、
当該バスの伝送内容と期待値との一致が判定されれば、当該バスの伝送内容を、システム集積回路外部に出力する出力部とを備えることを特徴とするシステム集積回路。

【請求項12】 比較器は、期待値を保持する保持部を備え、
システム集積回路は、
比較器に含まれる保持部が保持している期待値を更新する更新部を備えることを特徴とする請求項11に記載のシステム集積回路。

【請求項13】 前記システム集積回路は、
比較器によりバスの伝送内容と、期待値との一致が判定されると、割込信号を出力する割込信号出力部と、
システム集積回路において所定の処理を行い、割込信号が出力されれば、システム集積回路においてデバッグを行うために規定されたデバッグ処理を実行する処理部とを備えることを特徴とする請求項11に記載のシステム集積回路。

【請求項14】 何れかのバスは、
システム集積回路と接続されている外部デバイスに出力すべき所定のデータ又はアドレスを伝送する外部デバイス用バスであり、
前記セレクタ部は、
前記少なくとも1つの比較器が期待値との一致判定を行っていない状態において外部デバイス用バスの伝送内容をシステム集積回路外部に出力し、前記比較器により所定の期待値との一致が判定されれば、その判定結果に従って、複数の内部バスのうち何れか1つのバスに伝送されている内容を、システム集積回路外部に出力することを特徴とする請求項11に記載のシステム集積回路。

【請求項15】 前記バスのビット幅は、 m ビットであり、
前記システム集積回路は、
 k 個の出力端子を備え、
前記セレクタ部は、
 m ビットのうち、 k ビットを k 個の出力端子に出力し、その後、残りのデータを k 個の出力端子に出力することを特徴とする請求項11に記載のシステム集積回路。

【請求項16】 セレクタ部が何れかのバスに伝送されている内容をシステム集積回路外部に出力させる際、当該バスを示す識別番号をシステム集積回路外部に出力する出力部を備えることを特徴とする請求項11～15の何れかに記載のシステム集積回路。

【請求項17】 複数バスを内蔵しているシステム集積回路であって、
前記システム集積回路は、
複数バスのうち、何れかのバスに伝送されている内容を、システム集積回路外部に選択的に出力するセレクタ部とシステム集積回路外部に出力されているバスの伝送内容を監視する監視部と、
監視されている伝送内容が所定の値であれば、セレクタ部がシステム集積回路外部に出力しているバスの伝送内容を、別のバスの伝送内容に切り換えるようセレクタ部を制御する切換部とを備えることを特徴とするシステム集積回路。

【請求項18】 システム集積回路であって、
複数のスレーブデバイスと、
スレーブデバイスの使用を要求する複数のマスターデバイスと、
複数マスターデバイス間でスレーブデバイスの使用が競合した場合に複数マスターデバイス間の調停を行い、何れかのマスターデバイスにスレーブデバイスの使用を許可する調停装置と、

何れかのマスターデバイスに対してスレーブデバイスの使用が許可されれば、その使用が許可されたマスターデバイスを示す信号を、システム集積回路外部に出力する出力部とを備えることを特徴とするシステム集積回路。

【請求項19】 マスターデバイスと、スレーブデバイスと、 m ビットのバスとを有するマスタスレーブシステムを n 個内蔵しているシステム集積回路であって、
 k 個の出力端子と、
 n 個のマスタスレーブシステムのそれぞれに含まれるバスに伝送されている合計 $m \times n$ ビットのデータを k ビットずつ、時分割にシステム集積回路外部に出力するセレクタ部とを備えることを特徴とするシステム集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バス、デバイスからなるデータ処理システムを内蔵したシステム集積回路に関し、システム集積回路の内部状態の観測を行うための改良に関する。

【0002】

【従来の技術】半導体プロセス技術の向上に伴い、データ処理システム全体をその内部に実装したシステムLSIが半導体市場に登場しつつある。一般に、データ処理システムとは、CPU、メモリを初めとする複数のデバイスと、それらを接続するバスとからなる。システムLSIの登場以前において、このようなデータ処理システムは、

各デバイスに相当する部品を基板上に実装し、バスを基板上に配線することにより実現されていた(このように基板上で実現されているデータ処理システムを基板型システムという)。これに対してシステムLSIは、複数のデバイス及びバスをLSIパッケージ内に高密度に集積することにより、データ処理システムを実現している。システムLSIは、複数のデバイス及びバスがパッケージ内に実装されるので、電子製品を開発する際、当該製品にシステムLSIを組み込めば、当該製品を小型、軽量にすることができる。またパッケージ内に実装されたデータ処理システムは、製品外部からのノイズの影響を受けにくいので、安定した動作を行うことができる。

【0003】

【発明が解決しようとする課題】ところで、システムLSIの登場以前の基板型システムでは、基板上の配線の任意の箇所にロジックアナライザのプロープを接続させることにより、データ処理システムのバス上で伝送されているデータやアドレスを観測することができるが、システムLSIでは、あらゆるバスや接続線がシステムLSI内に隠蔽されているため、バスの任意の箇所にロジックアナライザのプロープを接続させることは不可能となり、バスに伝送されているアドレスやデータを観測することができない。バスの伝送内容の観測が不可能であれば、システムにおいて異常動作が発生した場合に、異常動作の原因となる事象を特定することが困難になり、システムのデバッグに、多大な作業時間が費やされるという問題点がある。

【0004】ここでシステムLSI内で伝送されているデータやアドレスの内容を観測するために、システムLSIの設計時に、必要な内部バスを専用の外部出力端子に割り当てておくことは、システムLSIの設計業務に携わる当業者が容易に想到するところである。しかし、サイズ面、コスト面上の制約からシステムLSIにおける外部出力端子の総数は、厳しく制限されることが一般的なので、24ビット、32ビットというビット幅を有するバスがシステムLSI内に複数存在する場合、それらのうち何れかに外部出力端子に割り当てることが可能であっても、それらの全てに外部出力端子を割り当てることが現実的ではない(例えば、24ビットのビット幅を有するバスがシステム集積回路内に3本存在する場合、それらの全てに外部出力端子を割り当てるとなると、72本もの外部出力端子を観測用に割り当てることになる)。そうすると、外部出力端子に割り当てることができる内部バスの数は自ずと制限されることになるが、それではバス伝送内容の観測範囲が大きく狭められることになり、システムLSI内で異常動作が生じた場合、異常動作の原因究明を充分に行うことができない。

【0005】特に、今後システムLSIに集積されるべきデータ処理システムの規模は更に膨大となる傾向があり、それに伴い、システムLSI内の事象が複雑になっ

て、システムLSIの異常動作が生じる確率も一段と高くなるが、上述したような制約下では、システムLSIにて異常動作が生じた場合に、システム集積回路の設計者は、その原因究明及びデバッグに膨大な作業時間を費やしてしまう。

【0006】本発明の目的は、システムLSIにおいて内部バスの観測に割り当て可能な外部端子の数が厳しく制限されている場合であっても、異常動作の原因究明を好適に行うことができるシステム集積回路を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明は、複数バスを内蔵しているシステム集積回路であって、複数のバスの何れかと接続されており、その何れかのバスに伝送されている内容と、所定の期待値との一致又は不一致を判定する少なくとも1つの比較器と、当該バスの伝送内容と期待値との一致が判定されれば、当該バスの伝送内容に付随して変化する他のバスの伝送内容を、事象観測のために選択的にシステム集積回路外部に出力するセレクト部とを備えている。

【0008】

【発明の実施の形態】以降図面を参照しながら、システム集積回路(システムLSI)の実施形態について説明する。

(第1実施形態)本実施形態に係るシステムLSIは、セットトップボックス内に実装されている。図1は、システムLSIを実装したセットトップボックスの内部構成を示す図である。セットトップボックスとは、衛星放送、地上波、有線の何れかから伝送されてくる放送波を受信して、これに含まれているトランスポートストリームの多重分離を行い、更にこれを復号して映像信号、音声信号等を出力する装置であり、テレビジョン受像機やパーソナルコンピュータ等と組み合わせて一般家庭内で用いられる。

【0009】図1に示すように、セットトップボックスは衛星放送アンテナ100が受信した放送波を復調して、MPEG2規格に規定されたトランスポートストリームを順次出力するフロントエンド部101と、セットトップボックスにおける中枢制御を行うホストマイコン102と、複数の命令を格納したFLASHメモリ103と、複数のデータを格納したSD-RAM104と、ボールグリッドアレイ(BGA)タイプのLSIであるシステムLSI105とからなる。セットトップボックスが行うべき処理のうち基盤的なものが全てこのシステムLSI105内で実現されるので、セットトップボックス内の基板配線は、極めてシンプルに構成されている。

【0010】セットトップボックス内の基板配線がシンプルになった反面、システムLSI105内部には、様々な構成要素が高密度に実装されることとなる。図2を参照しながらシステムLSI105の内部構成に、どのよう

な構成要素が実装されているかを説明する。図2に示すように、システムLSI105は、フロントエンド部101から出力されるトランスポートストリームに暗号化がなされている場合、暗号化解釈を行うと共に、多重分離を行って、MPEG2規格に規定されたビデオストリーム、オーディオストリーム等を得るトランスポートデコードデスクランブルコア(TDDSCコア)107と、多重分離されたビデオストリーム-オーディオストリームを復号して、映像信号、音声信号を得るAVコア108と、シリアルインターフェイス、タイマ等からなるSTB周辺I/O部109と、システムSTB-LSI105内の制御を統括するマイコンコア110と、命令についてのキャッシュメモリである4WAY.L-Cache111と、データについてのキャッシュメモリである4WAY.D-Cache112と、I/Oバス及びストリームバス上におけるDMA転送を制御するDMA制御部113と、FLASHメモリ103から命令の読み出しを行う外部バス制御部114と、SD-RAM104に対してのデータ読み書きを行うSDRAM制御部115と、FLASHメモリ103に格納されている命令のうち、高速にアクセスしたいものを格納するSRAM116と、BCU117と、5つの内部バス（データバス1、I/Oバス2、ストリームバス3、アドレスバス4、命令バス5）と、観測バス6と、外部出力端子群7と、外部入力端子8と、観測制御装置9と、セクタ部10と、比較器11と、比較器12と、比較器13と、比較器14と、比較器15を備えており、MPEG2規格に規定された基盤的な処理は、このシステムLSI105内に凝縮されているとも言える。

尚、これらの構成要素のうち、TDDSCコア107～STB周辺I/O部109については第1実施形態の要旨との関係が希薄なので、詳細説明は省略するものとする。

【0011】このようにシステムLSI105内部に実装された構成要素の殆どは、上述した5つの内部バスの何れかに接続される。このような内部バスの接続関係に注目すれば、これらシステムLSI105内の構成要素は、マスターデバイス（サービスを要求する側のデバイス）、スレーブデバイス（サービスを提供する側のデバイス）の何れかに分類することができる。

【0012】図3は、図2に示した複数の構成要素が、マスターデバイス及びスレーブデバイスの何れに分類されるかを示す図である。図3において、マイコンコア110、DMA制御部113、ホストマイコン102はマスターデバイスに分類され、5つの内部バスに接続されたFLASHメモリ103、SD-RAM104、TDDSCコア107、AVコア108、STB周辺I/O部109、マイコンコア110はスレーブデバイスに分類される（この分類では、観測制御装置9、セクタ部10、比較器11、比較器12、比較器13、比較器14、比較器15はマスターデバイス及びスレーブデバイスの何れにも分類されないことに留意されたい）。構成要素がマスターデバイス、スレーブデバイスの何れかに分類されたのならば、シス

テムLSI105内に内部バス（スレーブデバイス）の使用が競合した場合に、マスターデバイス間の調停を行うアービターがシステムLSI105内に存在しなければならない。システムLSI105において、そのようなアービターの役割は、BCU117が担っている。

【0013】図4は、BCU117の内部構成を示す図である。図4に示すようにBCU117は、行列状に交叉しており、マスターデバイス及びスレーブデバイスのそれぞれと接続したバス21、22、23、26、27と、これらのバス間を導通状態、非導通状態の何れかに設定する複数のクロスバススイッチ31、32、33

38、39と、各マスターデバイスから出力された要求信号に従って、複数のクロススイッチの切り換え制御を行う複数の調停装置40、41、42とからなる。

【0014】BCU117は、その内部にクロスバススイッチ31、32、33、38、39を有しているので、このクロスバススイッチ31、32、33、38、39の接続切り換えを行うことにより、3つのマスターデバイスと、6つのスレーブデバイス（5つの内部バス）とを任意の組み合わせで接続することができる。また何れかのマスターデバイスと何れかのスレーブデバイスとの接続は、同時に行われるので、システムLSI105内では、『複数マスタ 対 複数スレーブ』のデータ転送を並列に行うことができ、スレーブデバイスの使用が競合した場合には、より優先度が高い処理を行っているマスターデバイスにスレーブデバイスを使用させる。

【0015】図5は、BCU117の『複数マスタ 対 複数スレーブ』の同時接続により、システムSTB-LSI105内でデータ転送が並列に行われる様子を示す図である。本図においてフロントエンド部101から出力されたトランスポートストリームの伝送経路について注目すると、TDDSCコア107は、デスクランブル及び多重分離が行われたトランスポートストリームを矢印y1に示すように一旦SD-RAM104に格納し、その後、矢印y2に示すように、ストリームバス3を介してAVコア108に転送する。このような、フロントエンド部101-SD-RAM104-AVコア108を経由したトランスポートストリームのDMA転送は、DMA制御部113による制御にて行われる。

【0016】矢印y1に示したように、SD-RAM104はトランスポートストリームの蓄積に用いられるが、マイコンコア110により読み書きされるデータも蓄積される。SD-RAM104では、TDDSCコア107によるデータの読み書きと、マイコンコア110によるデータの読み書きとが競合する可能性があるので、BCU117は、そのようなデータ読み書きの競合を避けるように相互接続を行うのである。BCU117を設けたことにより、『複数マスタ 対 複数スレーブ』の同時データ転送がシステムLSI105内で可能となったが、同時データ転送が高頻

度に行われ、様々な処理がシステムLSI 105内で行われる程、システムLSI 105がハングアップしたり、異常動作を行う確率も高くなる。そのため、システムLSI 105を設計するにあたっては、何等かの手法で、システムLSI 105内部の状態をシステムLSI 105外部に通知する手立てを設けねばならない。そこで本実施形態におけるシステムLSI 105は、5つのバスの伝送内容をシステムLSI 105外部に出力することにより、システムLSI 105内部の状態を観測者に観測させるというモード（内部観測モード）をシステムLSI 105に設けている。この内部観測モードを実現するためにシステムLSI 105内に設けられているのは、図2に示す構成要素のうち、マスターデバイス、スレーブデバイスの何れにも分類されなかった観測制御装置9、セクタ部10、比較器11、比較器12、比較器13、比較器14、比較器15、観測バス6である。

【0017】図6は、内部観測モードを実現するために、システムLSI 105に設けられた構成要素のみを示す図であり、図6を参照しながら、内部観測モードを実現するためにシステムLSI 105内に設けられた、観測制御装置9、セクタ部10、比較器11～比較器15について説明する。観測制御装置9は、外部選択制御保持部51と、選択制御装置52と、一致検出信号制御装置53と、割込制御装置54と、OR回路55とからなり、内部観測モードにおけるシステムSTB-LSI 105の処理制御を行う（図6において、観測制御装置9の構成要素については50番台の参照符号を付しており、セクタ部10以降の構成要素についての説明は、これら50番台の構成要素についての説明を終了してから行う。）。

【0018】外部選択制御保持部51は、システムLSI 105外部から入力されてくる外部選択制御信号を保持するものであり、外部選択制御保持部51に保持されている外部選択制御信号に、伝送内容を出力すべきバスを示す識別番号が含まれているなら、識別番号に示されているバスを示す内部選択制御信号をセクタ部10に出力する。

【0019】本実施形態では、データバス1、I/Oバス2、ストリームバス3、アドレスバス4、命令バス5の順に“1”、“2”、“3”、“4”、“5”といった識別番号を付与しており、システムSTB-LSI 105外部から入力されてくる外部選択制御信号にこれらの識別番号が存在するなら、外部選択制御保持部51はこれらの識別番号を含む内部選択制御信号（SEL1、SEL2、SEL3、SEL4、SEL5という5つのものがある。）をOR回路65を介してセクタ部10に出力する。図7（a）は、外部選択制御保持部51がどのような規則をもって、内部選択制御信号を出力するかを示す図である。外部選択制御信号に含まれる識別番号が“01”なら内部選択制御信号SEL1を出力し、外部選択制御信号に含まれる識別番号が“10”なら内部選択制御信号SEL2を、外部選択制御信号に含まれる識別番号が“1

1”なら内部選択制御信号SEL3を出力するよう制御する。保持されている外部選択制御信号に含まれる識別番号がデフォルト値“00”であるなら、一致検出信号制御装置53に、内部選択制御信号の出力選択を委ねる。

【0020】選択制御装置52は、マイコンコア110からの指示に応じて、各比較器に期待値を設定する。一致検出信号制御装置53は、5つの内部バスのそれぞれに接続された比較器11～比較器15の識別番号と、当該比較器において一致判定が行われた場合に、伝送内容を観測バスに出力させるべき内部バスの識別番号とを対応づけた対応表を記憶しており、5つの内部バスのうち何れかのバスの伝送内容と、所定の期待値との一致が、そのバスに接続されている比較器11～15により判定されれば、その通知元の比較器の識別番号を判定し、対応表において、その比較器識別番号と対応づけられているバス識別番号を対応表から読み出して比較器11に出力する。この対応表において、ある比較器の識別番号と対応づけられているバス識別番号は、比較器により期待値との一致が判定された場合に、当該バスの伝送内容に付随して伝送内容が変化する他のバスを指示するものである。

【0021】図7（b）は、比較器11～比較器15の識別番号と、内部選択制御信号との対応を示す対応表の一例を示す図である。この対応表では、上述したように、比較器が接続されているバスの伝送内容に付随して伝送内容が変化する他のバスを指示されている。本図において比較器11にて伝送内容と期待値との一致が検出されれば、内部選択制御信号SEL1が出力され、比較器12にて伝送内容と期待値とが一致すれば、内部選択制御信号SEL2が出力され、比較器13にて伝送内容と期待値とが一致すれば、内部選択制御信号SEL3が出力される。この対応表の内容は、マイコンコア110により書き換えられる。

【0022】割込制御装置54は、一致検出信号制御装置53から、何れかの比較器における一致検出が通知されれば、マイコンコア110に割込信号を出力する。割込信号を出力するので、システムLSI 105内のマイコンコア110は、この割込信号の通知により、特定信号状態の発生をソフトウェアで検知できそれに応じて、それ以降のソフトウェア上の特定の処理を実行することができる。この特定処理のうち代表的なものは、スーパーバイザ領域におけるデバッグプログラムであり、比較器11～比較器15に対する期待値の設定や、一致検出信号制御装置53が保持している対応表を書き換えることにより、期待値における一致検出と、内部選択制御信号の出力との割り当て変更等を行う。

【0023】OR回路55は、外部選択制御保持部51が出力した内部選択制御信号、及び、一致検出信号制御装置53が出力した内部選択制御信号の何れか一方をセクタ部10に出力する。以上で観測制御装置9内の全て

の構成要素についての説明を終えたので、セレクト部10以降の構成要素についての説明を行う。セレクト部10は、データバス1、I/Oバス2、ストリームバス3、アドレスバス4、命令バス5を接続している5つの入力端子と、観測バス6に接続されている1つの出力端子とを有しており、OR回路65を介して外部選択制御保持部51及び一致検出信号制御装置53の何れか一方から出力されてくる内部選択制御信号に従って、これらのバスに伝送されている内容を観測バス6に出力する。ここで観測バス6は、外部出力端子群7に接続されているので、外部出力端子群7にロジックアナライザのプロープを接続させた時点で、セレクト部10が伝送内容を出力すれば、観測者がシステムSTB-LSI105の外部から内部バスの伝送内容を観測することができる。

【0024】比較器11～比較器15は、5つの内部バスのそれぞれと接続されており、これらのバスの伝送内容と、選択制御装置52により設定された期待値との一致比較を行う。図8(a)は、nビットの内部バスの伝送内容と、nビットの期待値との一致比較を行う比較器11～比較器15の回路構成を示す図である。本図において比較器11～15は、期待値保持部56と、n個の排他的論理和ゲート57と、論理和ゲート58とを含む。尚、本図において内部バスの伝送内容は、A1, A2, A3, A4...Anというn個のビットからなり、nビット長の期待値は、B1, B2, B3, B4...Bnというn個のビットからなるものとする。

【0025】期待値保持部56は、nビットの期待値を保持する。期待値保持部56の保持内容は、マイコンコア110の制御に基づいて、選択制御装置52により任意の値に書き換えられる。排他的論理和ゲート57は、nビットからなるバスの伝送内容におけるi番目のビットAi (i=1, 2, 3, 4...n)と、期待値におけるi番目のビットBi (i=1, 2, 3, 4...n)との排他的論理和をとり、出力値のi番目ビットYi (i=1, 2, 3, 4...n)を得る。図8(b)は、排他的論理和ゲート57についての真理値表である。図8(b)の真理値表に示すように、2つの入力端子Ai, Biが"0", "0"である場合、又は、2つの入力端子Ai, Biが"0", "0"である場合に排他的論理和ゲート57の出力端子Yiは"0"となり、nビットデータと、期待値とが一致していることを示す。一方、2つの入力端子Ai, Biが不一致である場合に排他的論理和ゲート57の出力端子Yiは"1"となり、nビットデータと、期待値とが不一致であることを示す。

【0026】論理和ゲート58は、各排他的論理和ゲート57からのビットYi (i=1, 2, 3, 4...n)の論理和を算出するゲート回路である。n個ある排他的論理和ゲート57のうち、何れかの出力ビットYiが"1"である場合、その論理和は"1"となり、出力ビットYiが全て"0"である場合、その論理和は"0"となる。論理和ゲート58は、全ての排他的論理和ゲート57の出力端子Yiが"0"であ

る場合、nビットデータと期待値とが一致しているものとして、一致検出信号を"0"として出力する。一方、論理和ゲート58は、何れかの排他的論理和ゲート57の出力端子Yiが"1"である場合、nビットデータと期待値とが不一致であるものとして、一致検出信号を"1"として出力する。尚、本実施形態において、排他的論理和ゲート57は、内部バスの伝送内容と、期待値との全一致を判定したが、期待値の一部をマスクすることにより、伝送内容と期待値との部分一致を判定しても良い。

【0027】以上で、内部観測モードのために設けられた構成要素についての説明を終了する。続いて、これらの構成要素を用いて行われる内部観測モード時におけるシステムSTB-LSI105の動作について説明する。図9は、内部観測モードにおけるシステムSTB-LSI105内のタイミングチャートである。本図において第1段目は、データバス1、第2段目はI/Oバス2、第3段目はストリームバス3、第4段目はアドレスバス4、第5段目は命令バス5の伝送内容を示し、第6段目は外部選択制御信号を示す。第7段目、第8段目は比較器14、比較器15からの一致検出信号を示し、第9段目は内部選択制御信号を示す。第10段目は、観測バス6の伝送内容を示す。

【0028】本図の時点t1において外部選択制御信号がシステムLSI105外部から入力されてくると、外部選択制御保持部51は、これに含まれる識別番号(Id=11)を読み出して、この識別番号(Id=11)が付与された内部バス1～5の伝送内容を観測バス6に出力させるよう、矢印y51に示すように内部選択制御信号SEL3を出力する。OR回路55を介して内部選択制御信号SEL3がセレクト部10に伝達されれば、セレクト部10は、矢印y52に示すようにストリームバス3の伝送内容(3-1)(3-2)(3-3)を観測バス6に出力する。

【0029】時点t2が経過した頃に、外部選択制御信号が再度、外部選択制御保持部51に入力されたものとする。この時点t2において入力された外部選択制御信号は、識別番号(Id=00)を含んでいる。図7(a)に示したように、識別番号(Id=00)は、内部バスの選択出力を比較器に委ねるものである。この時点で、外部選択制御保持部51は内部選択制御信号SEL3の出力を中止する。このように内部選択制御信号SEL3の出力を中止した後、時点t3において、アドレスバス4に接続された比較器14が期待値と伝送内容との一致を検出したものとする。期待値と伝送内容との一致が検出されれば、矢印y53に示すように、比較器14は一致検出信号を出力する。図7(b)における対応表において、比較器14の一致検出は、内部選択制御信号SEL1に対応づけられているので、一致検出信号制御装置53は、矢印y54に示すように内部選択制御信号SEL1を出力する。このように内部選択制御信号SEL1が出力されると、セレクト部10は、矢印y55に示すようにデータバス1の伝送内容(1-4)(1-5)

を観測バス6に出力する。ここで期待値がFLASHメモリ103におけるアドレスであり、このアドレスに異常動作の疑いがある命令が配置されている場合、この異常動作の疑いがある命令の実行時において、どのようなデータがデータバス1に伝送されているかを観測者は、システムLSI105外部から観測することができる。

【0030】内部選択制御信号SEL1の出力後、時点t4において、比較器15が期待値と伝送内容との一致を検出したものとする。期待値と伝送内容との一致が検出されれば、比較器15は、一致検出信号を矢印y56に示すように出力する。比較器15の一致検出は、図7(b)の対応表において内部選択制御信号SEL2に対応づけられているので、一致検出信号制御装置53は、矢印y57に示すように内部選択制御信号SEL2を出力する。このように内部選択制御信号SEL2が出力されると、セクタ部10は、矢印y58に示すようにI/Oバス2の伝送内容(2-6)(2-7)を観測バス6に出力する。ここで期待値が命令であり、この命令に異常動作の疑いがある場合、この異常動作の疑いがある命令の実行時において、どのようなデータがI/Oバス2に伝送されているかを観測者は、システムLSI105外部から察知することができる。

【0031】以上のように本実施形態によれば、内部バスの伝送内容と、所定の期待値との一致が比較器において判定されれば、別のバスの伝送内容がシステムSTB-LSI105外部に出力されるので、システムSTB-LSI105に複数のバスが実装されている場合であっても、それぞれにどのような内容が伝送されているかを観測者はシステムSTB-LSI105外部において観測することができる。

【0032】システムSTB-LSI105からの出力内容の切り換えは、比較器による一致比較に基づいて行われるので、例えば、あるアドレスがアクセスされている場合に、異常動作が生じているという疑いが強い場合、アドレスバス4に接続されている比較器に、そのアドレスを設定しておき、当該比較器による一致判定時に、データバス1の伝送内容をシステムSTB-LSI105外部に出力させれば、そのような異常動作の疑いが強い状態において、データバス1にどのような内容が伝送されているかを、システムLSI105の観測者は、システムSTB-LSI105外部から観測することができる。異常動作の疑いが強い状態において、データバス1の伝送内容を観測できれば、異常動作時においてシステムSTB-LSI105内部において、どのようなデータの読み書きが行われているのかを伺い知ることができる。これにより観測者は、異常動作の原因究明を効率的に行うことができる。

【0033】尚、本実施形態では対応表で比較器と出力すべきバスとを対応づけたが、比較器を複数のバスの何れかと接続し、その何れかのバスに伝送されている内容と、所定の期待値との一致又は不一致を判定させて、当該バスの伝送内容と期待値との一致が判定されれば、当

該バスの伝送内容を、システム集積回路外部に出力させるという単純な構成でシステムLSI105を構成しても良い。

【0034】(第2実施形態)第2実施形態は、内部選択制御信号の出力を動的に変化させるための改良に関する。そのような動的変化を実現するため、第2実施形態における観測制御装置9は図10に示す内部構成を有する。図10における選択制御装置52は、マイコンコア110からの指示に応じて、各比較器に期待値を設定するという第1実施形態における処理を踏襲しつつも、一致検出信号制御装置53に対して内部観測状態の初期設定を行うという第2実施形態ならではの処理を行う。

【0035】内部観測状態という用語を引用したが、本実施形態における内部観測状態について説明しておく。本実施形態においてシステムLSI105における内部観測状態には図11(a)(b)に示すように状態1、状態2、状態3、状態4等がある。図11(a)(b)は、本実施形態における内部観測状態と、各内部観測状態の遷移条件を示す図である。本図において状態1とは、一致検出信号制御装置53が内部選択制御信号SEL1を出力している状態であり、状態2とは、一致検出信号制御装置53が内部選択制御信号SEL2を出力している状態である。状態3とは、一致検出信号制御装置53が内部選択制御信号SEL3を出力している状態である(内部バスに接続されている比較器が5つあることは第1実施形態で述べた通りであるが、本実施形態では説明の簡略化を図るため、3つの比較器のみを対象とし、内部観測状態を3つのみに絞って説明を行う。)。

【0036】図10における一致検出信号制御装置53は、比較器11～比較器13における一致判定に基づいて、状態遷移を行いつつ、その状態に応じた内部選択制御信号をOR回路55に出力する。状態1から状態2へと状態遷移を行うための遷移条件は、比較器11において期待値との一致が検出されることであり、状態2から状態3へと状態遷移を行うための遷移条件は、比較器12において期待値との一致が検出されることである。また、状態3から状態1へと状態遷移を行うための遷移条件は、比較器13において期待値との一致が検出されることである。

【0037】上記のような状態遷移を実現するため、第2実施形態における一致検出信号制御装置53は、図12に示した内部構成を有している。図12において一致検出信号制御装置53は、D型ラッチ61、D型ラッチ62、D型ラッチ63、セクタ64、セクタ65、セクタ66、AND回路67、AND回路68、AND回路69、OR回路70、カウンタ回路71、及び内部選択制御信号出力部72を備える。

【0038】D型ラッチ61、D型ラッチ62、D型ラッチ63は、それぞれ比較器11、比較器12、比較器13における一致検出信号をラッチして、Q端子に出力す

る。セクタ64、セクタ65、セクタ66は、3つの入力端子を有しており、選択制御装置52から出力される状態選択対象を指示する信号に応じて、入力端子に入力された値を出力する。ここで、3つの入力端子のうち、A0端子はD型ラッチ61とが接続されており、A1端子とD型ラッチ62とが接続されている。そしてA2端子とD型ラッチ63とが接続されている。そして、選択制御装置52により状態1対象を指示する信号が出力されれば、セクタ64はA0端子に入力されたデータを出力し、選択制御装置52により状態2対象を指示する信号が出力されれば、セクタ65は、A1端子に入力されたデータを出力する。選択制御装置52により状態3対象を指示する信号が出力されれば、セクタ66は、A2端子に入力されたデータを出力する。

【0039】AND回路67は、カウンタ回路71が出力したカウント値が“00”であり、セクタ64がA0端子の値を出力すれば、HIGH値を出力する。AND回路68は、カウンタ回路71が出力したカウント値が“01”であり、セクタ65がA1端子の値を出力すれば、HIGH値を出力する。AND回路69は、カウンタ回路71が出力したカウント値が“10”であり、セクタ66がA2端子の値を出力すれば、HIGH値を出力する。

【0040】OR回路70は、AND回路67、AND回路68、AND回路69の何れかがHIGH値を出力すれば、HIGH値を出力する。カウンタ回路71は、OR回路70がHIGH値を出力すれば、カウント値のインクリメントを行い、Q0端子、Q1端子に出力する。内部選択制御信号出力部72は、カウンタ回路71がQ0端子、Q1端子を出力すれば、内部選択制御信号を出力する。

【0041】このように一致検出信号制御装置53が構成されているので、あるバスの伝送内容と、所定の期待値との一致が何れかの比較器から通知された場合、識別番号が次に大きい識別番号のバスの伝送内容が順次出力されることになる。本実施形態では、識別番号が大きい順にバスの伝送内容を出力させたが、識別番号が小さい順に出力させても良い。

【0042】以上のように本実施形態によれば、内部観測状態を動的に変化させることにより、システムLSI105外部から、システムLSI105内部の様子をつぶさに観察することができる。

(第3実施形態) 第3実施形態では、別のバスに伝送されている内容をシステムSTB-LSI105外部に出力させる際、当該バスを示す識別番号をシステムSTB-LSI105外部に出力させる。そのため第3実施形態では、OR回路55から出力される内部選択制御信号がシステムLSI105外部に出力されていることがわかる。図13は、第3実施形態における観測制御装置9の内部構成を示す図である。本図においてOR回路55から出力される内部選択制御信号が外部出力端子を介してシステムLSI105外部に出力されていることがわかる。

【0043】以上のように本実施形態によれば、伝送内容の出力切り換えを比較器に委ねる場合、どのバスの伝送内容がシステムLSI105外部に出力されているかを観測者が伺い知ることができる。

(第4実施形態) 第1実施形態～第3実施形態では、セクタ部10がバスの伝送内容を内部観測モードのためにシステムLSI105外部に出力させるために、外部出力端子群7を別個割り当てていたが、第4実施形態は、そのような割り当てを行わず、他の用途に割り当てられた外部出力端子と、内部観測モード用の外部出力端子とを兼用する改良に関する。ここで、観測バスと兼用すべき外部出力端子とは、図1に示したFLASHメモリ103に対してアドレス出力を行うためにシステムSTB-LSI105に設けられた外部出力端子である。

【0044】図14は、第4実施形態において、セクタ部10がどのようにシステムLSI105内に接続されているかを示す図である。本図においてAddrとは、システムLSI105とFLASHメモリ103とを接続する接続線であるが(図1参照)、本実施形態では、この接続線にセクタ部10が設けられており、セクタ部10とFLASHメモリとにラッチ回路72が介在している。

【0045】第4実施形態において、セクタ10は、5つの内部バスのうち、4つの内部バスと、観測バスとの間に接続されている。図14におけるラッチ回路72は、第4実施形態特有の構成要素であり、D端子がセクタ部10と接続されており、セクタ部10がアドレスバス4に伝送されているアドレスを出力した場合、このアドレスをラッチする。G端子にale信号が入力された場合、ale信号がアクティブ状態になっている期間において、ラッチしたアドレスを継続して出力する。ale信号がアクティブ状態になった時点以降において、ラッチ回路72は、FLASHメモリにLAddr信号を継続して出力しつづける。

【0046】図15(a)(b)は、通常動作モード及び内部観測モードにおけるタイミングチャートである。本図において、第1段目はAddrを示し、第2段目は、ale信号を示す。第3段目は、XCS信号を示し、第4段目は、アドレスを、第5段目は、DATAを示す。通常動作モードにおいて、ラッチ回路72は、ale信号は終始HIGH値で(非アクティブ状態)あるため、セクタ部10が出力したFLASHメモリアドレスをそのまま出力している。

【0047】内部観測モードにおいて、ale信号は時点t31から時点t32までLOW値(アクティブ状態)になっているので、ラッチ回路72の出力端子は、この時点t33から時点t34までFLASHメモリアドレスを継続して出力する。内部観測モードでは、時点t22から時点t23において内部選択制御信号SEL1が出力され、時点t23から時点t24において内部選択制御信号SEL2、時点t24から時点t25において内部選択制御信号SEL3が出力されている。ここで

内部選択制御信号SEL1が出力されている時点t22から時点t23までの期間において、Addrには、ストリームバスの伝送内容が現れることがわかる。一方、内部選択制御信号SEL2が出力されている時点t23から時点t24までの期間において、Addrには、データバスの伝送内容が、内部選択制御信号SEL3が出力されている時点t24から時点t25までの期間において、Addrには、I/Oバスの伝送内容が現れている。

【0048】以上のように本実施形態によれば、システムSTB-LSI 105と接続されている外部デバイスとのデータ伝送を行うためにシステムSTB-LSI 105に設けられた外部出力端子と、セクタ部がバスの伝送内容をシステムSTB-LSI 105外部に出力するためにシステムSTB-LSI 105に設けられた外部出力端子とを共通化することができ、システムSTB-LSI 105のコストパフォーマンスを向上させることができる。

【0049】(第5実施形態)第5実施形態は、第2実施形態同様、複数の内部観測状態のうち、何れかに内部観測状態に設定され、その内部観測状態に応じて、内部バスの伝送内容をシステムSTB-LSI 105外部に出力するものである。第2実施形態との差違点は以下の通りである。即ち、第2実施形態では、1つの内部バスに対して比較器を1つのみ接続しており、この比較器が一致判定を行った時点において、内部観測状態を遷移させていたが、第5実施形態では、1つの内部バスに対して比較器を2つ接続しており、この2つの比較器が一致判定を行った場合に内部観測状態を遷移させるのである。

【0050】このような改良が施された観測制御装置9の内部構成を図16に示す。図16は、第5実施形態における観測制御装置9の内部構成を示す図である。本図において3つのバスのそれぞれには、比較器81、82、83、84、85、86が各バスに2つずつ接続されており、同一バスに接続された2つの比較器のうち、一方の比較器は、当該バスに伝送されている内容と、所定の第1の期待値との一致比較を行い、他方の比較器は、当該バスに伝送されている内容と、所定の第2の期待値との一致比較を行うものである。

【0051】このように各内部バスに2つの比較器が接続されたために、第5実施形態では特定シーケンスの発生に伴って内部観測状態を変化させることが可能となる。特定シーケンスとは、たとえば、ある内部バスがある状態になった後、同じバスが別状態になることを言う。尚、どのようなシーケンスの発生を検出するかは、比較器における期待値の設定により自由に変更させることができるので、任意のシーケンスの発生を検出することができる。

【0052】本実施形態における一致検出信号制御装置53は、一方の比較器に当該バスに伝送されている内容と、所定の期待値との一致比較行わせ、当該一方の比較器において一致が判定されてから、他方の比較器におい

て当該バスに伝送されている内容と、別の期待値との一致比較を行わせて、当該2つの比較器の双方において、当該バスに伝送されている内容との一致が判定された場合のみ、別のバスに伝送されている内容を出力するよう、セクタ部を制御する。各バスに2つの比較器が接続されているので、たとえば予め定められた第1アドレスと、第2アドレスとが連続してアドレスバス4に現れた場合のみ、データバス1に伝送されているデータを選択的にシステムSTB-LSI 105外部に出力させることができる。

【0053】以上のように本実施形態によれば、各バスにはそれぞれ2つの比較器が接続されているので、第1アドレスが伝送されてから、第2アドレスが伝送されるまでの期間が非常に短く、期待値の書き換えが間に合わない場合であっても、上述した選択的な切り換えを行うことができる。尚、本実施形態では第2実施形態同様、複数の内部観測状態の遷移を行ったが、第1実施形態同様、対応表に基づく内部選択制御信号の出力を行ってもよい。

【0054】同一バスに接続されている2つの比較器の双方において期待値との一致が判定された場合に、複数の内部バスのうち何れか1つのバスに伝送されている内容をシステムSTB-LSI 105外部に出力させたが、同一バスに接続されている2つの比較器の何れか一方において期待値との一致が判定された場合に、複数の内部バスのうち何れか1つのバスに伝送されている内容をシステムSTB-LSI 105外部に出力させてもよい。更に本実施形態では、同一の内部バスにおける特定シーケンスにて、伝送内容の出力切り換えをおこなったが、2つのバスにおいて発生する特定シーケンスに従って、伝送内容の出力切り換えをおこなってもよい。即ち、ある内部バスがある状態になった後、別の内部バスがある状態になることを2つのバスに接続されている2つの比較器を用いて検出し、これに基づいて、伝送内容を切り換えてもよい。

【0055】(第6実施形態)第1実施形態～第3実施形態では、内部バスに対して比較器11を接続させていたが、第6実施形態は、セクタ部10により選択された伝送内容を伝送する第7行目に、比較器11を接続させた実施形態である。図17は、第6実施形態に係る観測制御装置9の内部構成を示す図である。

【0056】観測バスに比較器が接続されたため、第6実施形態におけるシステム集積回路は、以下のような動作を行う。即ち、セクタ10が何れかの内部バスの伝送内容を出力すれば、観測バスに接続された比較器は、その内部バスの伝送内容と期待値とが一致するか否かの判定を継続して行う。期待値との一致が判定されない限り、一致検出信号制御装置53は、内部選択制御信号を出力しないので、セクタ10はその内部バスの伝送内容の出力を継続して行う。

【0057】観測バスに接続された比較器が、その内部バスの伝送内容と期待値との一致を判定すれば、一致検出信号制御装置53は、内部選択制御信号を出力する。ここで出力される内部選択制御信号が、他の内部バスの識別番号を示すものなら、セレクト10は、その内部バスの伝送内容の出力を開始する。このように第6実施形態では、観測バスに所定の期待値が現ない限り、その伝送内容を継続して出力し、観測バスに所定の期待値が現れれば、その伝送内容の切り換えを行うのである。

【0058】以上のように本実施形態によれば、接続すべき比較器の数が1個のみとなるので、システムSTB-LSI105の回路規模が小さくなるという効果を奏する。

(第7実施形態) 第1実施形態～第3実施形態では、内部バスの伝送内容を一度にシステムLSI105外部に出力させていたが、第7実施形態では、内部バスの伝送内容を時分割してシステムLSI105外部に出力させる実施形態である。図18は、第7実施形態に係る観測制御装置9の内部構成を示す図である。

【0059】図18において、命令-データバス1-I/Oバス2のビット幅が m ビット、前記システムSTB-LSI105に設けられている出力端子が k 個であり、アドレスバス4のビット幅が k ビットである場合、セレクト部は、データバス、I/Oバス、ストリームバス、命令バスという4本のバスに伝送されている合計 $4 \times m$ ビットのデータを k ビットずつ、時分割にシステムSTB-LSI105外部に出力する。観測すべきバスの伝送内容が時分割にシステムSTB-LSI105外部に出力されるので、外部端子の個数が、観測すべきバスのビット幅より短い場合であっても、バスにおける伝送内容の全てを観測することができる。

【0060】(第8実施形態) 第1実施形態～第3実施形態では、内部バスの伝送内容をシステムLSI105外部に出力させていたが、第8実施形態は、マスターデバイス間のバス使用が競合した場合に、各マスターデバイスから調停装置40、調停装置41、調停装置42に出力される要求信号をシステムLSI105外部に出力させる実施形態に関する。図19は、第8実施形態におけるBCU117の内部構成を示す図である。

【0061】図19において各マスターデバイスは、スレーブデバイスの使用を要求する際、調停装置40、調停装置41、調停装置42に要求信号を出力する。調停装置40、41、42は、複数のマスターデバイスが要求信号を出力した際、所定の手順に従って、要求信号を出力した何れかのマスターデバイスに対して、バスの使用権を付与する。

【0062】第8実施形態におけるセレクト部10は、マスターデバイスが出力した要求信号のうち、調停装置40、調停装置41、調停装置42により使用が許可されたものの要求信号をシステムSTB-LSI105外部に選択的に出力する。以上のように本実施形態によれば、シ

ステムSTB-LSI105内部においてバス使用が競合した場合に、アービターがどのマスターデバイスにバス使用を許可しているかを観測者はシステムSTB-LSI105外部から伺うことができる。

【0063】

【発明の効果】以上説明したように本発明に係るシステム集積回路は、複数のバスの何れかと接続されており、その何れかのバスに伝送されている内容と、所定の期待値との一致又は不一致を判定する少なくとも1つの比較器と、当該バスの伝送内容と期待値との一致が判定されれば、当該バスの伝送内容に付随して変化する他のバスの伝送内容を、事象観測のために選択的にシステム集積回路外部に出力するセレクト部とを備えている(1)。

【0064】セレクト部は、比較器における一致判定に応じて、システム集積回路外部に出力すべきバスの伝送内容を切り換える。システム集積回路に設けられている外部出力端子が少数であり、システム集積回路に内蔵されている複数バスの全てに外部出力端子を割り当てられない場合であっても、システム集積回路内部に実装されている様々なバスの伝送内容を、観測者はシステム集積回路外部から伺い知ることができる。

【0065】システム集積回路からの出力内容の切り換えは、比較器による一致比較に基づいて行われるので、例えば、あるアドレスがアクセスされている場合に、異常動作が生じているという疑いが強い場合、アドレスバスに接続されている比較器に、そのアドレスを設定しておき、当該比較器による一致判定時に、データバスの伝送内容をシステム集積回路外部に出力させれば、そのような異常動作の疑いが強い状態において、データバスにどのような内容が伝送されているかを、システム集積回路の観測者は、システム集積回路外部から観測することができる。異常動作の疑いが強い状態において、データバスの伝送内容を観測できれば、システム集積回路内部において、どのようなデータの読み書きが行われているのかを観測者は伺い知ることができる。これにより観測者は、異常動作の原因究明を効率的に行うことができる。

【0066】更に、データ処理システムの規模が膨大になり、単純にバスに伝送されているアドレス、データを観測するだけでは異常動作が生じた事象を特定することができない場合であっても、このシステム集積回路では、比較器が期待値とバスの伝送内容との一致を判定する度に、システム集積回路外部に出力させるべきバスを切り換えるので、様々な条件の成立に応じて、観測対象となるべきバスを自動的に変更させるという、高度な観測手法を実現することができる。

【0067】上記システム集積回路(1)において、前記システム集積回路は更に、システム集積回路外部からのデータ入力を受け付ける受付部と、受付部が受け付けたデータがデフォルト値であるか、伝送内容を出力すべき

バスを示す識別番号が含まれているかを判定する判定部を備え、前記セクタ部は、受付部が受け付けたデータがデフォルト値であるなら、通知部により通知された識別番号が付与されたバスの伝送内容を出し、受付部が受け付けたデータに識別番号が含まれていると判定されたなら、通知部により通知された識別番号が付与されたバスの伝送内容に代えて、その識別番号が付与されたバスの伝送内容を出し、その構成しても良い(4)。比較器の比較結果に応じた出力切り換えを行うと共に、システム集積回路外部からバスの選択指示が明示的に行われた場合は、その指示に従って、バスの伝送内容を選択的にシステム集積回路外部に出力するので、観測者は、より自由にシステム集積回路内部を観測することができる。

【0068】また上記システム集積回路(1)において、各比較器は、期待値を保持する保持部を備え、システム集積回路は、各比較器に含まれる保持部が保持している期待値を更新する更新部を備えるように構成しても良い(5)。観測者は期待値を自由に設定することができるので、異常動作の原因究明をより効率的に行うことができる。

【0069】また上記システム集積回路(1)において、前記システム集積回路は、比較器によりバスの伝送内容と、期待値との一致が判定されると、割込信号を出力する割込信号出力部と、システム集積回路において所定の処理を行い、割込信号が出力されれば、システム集積回路においてデバッグを行うために規定されたデバッグ処理を実行する処理部とを備えるように構成しても良い(6)。

【0070】また上記システム集積回路(1)において、何れかのバスは、システム集積回路と接続されている外部デバイスに出力すべき所定のデータ又はアドレスを伝送する外部デバイス用バスであり、前記セクタ部は、前記少なくとも1つの比較器が期待値との一致判定を行っていない状態において外部デバイス用バスの伝送内容をシステム集積回路外部に出力し、前記比較器により所定の期待値との一致が判定されれば、その判定結果に従って、複数の内部バスのうち何れか1つのバスに伝送されている内容を、システム集積回路外部に出力するように構成しても良い(7)。システム集積回路と接続されている外部デバイスとのデータ伝送を行うためにシステム集積回路に設けられた外部端子と、セクタ部がバスの伝送内容をシステム集積回路外部に出力するためにシステム集積回路に設けられた外部端子とを共通化することができ、システム集積回路のコストパフォーマンスを向上させることができる。

【0071】また上記システム集積回路において(1)、各バスには、固有の識別番号が付与されており、前記システム集積回路において比較器は複数存在し、各バスには、比較器が2つずつ接続されており、同一バスに接続

された2つの比較器のうち、一方の比較器は、当該バスに伝送されている内容と、所定の期待値との一致判定を行い、他方の比較器は、当該バスに伝送されている内容と、別の所定の期待値との一致比較を行うものであり、前記セクタ部は、同一バスに接続されている2つの比較器の双方又は何れか一方において期待値と、バスの伝送内容との一致が判定されれば、複数の内部バスのうち何れか1つのバスに伝送されている内容を、システム集積回路外部に出力するように構成しても良い(8)。各バスに2つの比較器が接続されているので予め定められた第1アドレスと、第2アドレスとが連続してアドレスバスに現れた場合のみ、データバスに伝送されているデータを選択的にシステム集積回路外部に出力させることができる。

【0072】各バスにはそれぞれ2つの比較器が接続されているので、第1アドレスが伝送されてから、第2アドレスが伝送されるまでの期間が非常に短く、期待値の書き換えが間に合わない場合であっても、上述した選択的な切り換えを行うことができる。また上記システム集積回路において(1)、前記バスのビット幅は、kビットであり、前記システム集積回路は、m個の出力端子を備え、前記セクタ部は、kビットのうち、上位nビットをm個の出力端子に出力し、その後、残りのデータをm個の出力端子に出力するように構成しても良い(9)。観測すべきバスの伝送内容が時分割にシステム集積回路外部に出力されるので、外部端子の個数が、観測すべきバスのビット幅より短い場合であっても、バスにおける伝送内容の全てを観測することができる。

【0073】また上記システム集積回路において(1)、セクタ部が何れかのバスに伝送されている内容をシステム集積回路外部に出力させる際、当該バスを示す識別番号をシステム集積回路外部に出力する出力部を備えるように構成しても良い(10)。この構成によれば、伝送内容の出力切り換えを比較器に委ねる場合、どのバスの伝送内容がシステムLSI外部に出力されているかを観測者が伺い知ることができる。

【0074】また複数のバスのうち、何れかのバスに伝送されている内容を、システム集積回路外部に選択的に出力するセクタ部とシステム集積回路外部に出力されているバスの伝送内容を監視する監視部と、監視されている伝送内容が所定の値であれば、セクタ部がシステム集積回路外部に出力しているバスの伝送内容を、別のバスの伝送内容に切り換えるようセクタ部を制御する切換部とを備えるシステム集積回路を構成しても良い(11)。この構成によれば、接続すべき比較器の数が1個のみとなるので、システム集積回路の回路規模が小さくなるという効果を奏する。

また複数ののスレーブデバイスと、スレーブデバイスの使用を要求する複数のマスターデバイスと、複数マスターデバイス間でスレーブデバイスの使用が競合した場合

に複数マスターデバイス間の調停を行い、何れかのマスターデバイスにスレーブデバイスの使用を許可する調停装置と、何れかのマスターデバイスに対してスレーブデバイスの使用が許可されれば、その使用が許可されたマスターデバイスを示す信号を、システム集積回路外部に出力する出力部とを備えるシステム集積回路を構成しても良い(18)。システム集積回路内部においてバス使用が競合した場合に、調停装置がどのマスターデバイスにバス使用を許可しているかを観測者はシステム集積回路外部から伺うことができる。

【0075】また、マスターデバイスと、スレーブデバイスと、 m ビットのバスとを有するマスタスレーブシステムを n 個内蔵しているシステム集積回路であって、 k 個の出力端子と、 n 個のマスタスレーブシステムのそれぞれに含まれるバスに伝送されている合計 $m \times n$ ビットのデータを k ビットずつ、時分割にシステム集積回路外部に出力するセレクト部とを備えるシステム集積回路を構成しても良い(19)。観測すべきバスの伝送内容が時分割にシステム集積回路外部に出力されるので、外部端子の個数が、観測すべきバスのビット幅より短い場合であっても、バスにおける伝送内容の全てを観測することができる。

【図面の簡単な説明】

【図1】システムLSIを実装したセットトップボックスの内部構成を示す図である。

【図2】システムLSIの内部構成を示す図である。

【図3】図2に示した複数の構成要素が、マスターデバイス及びスレーブデバイスの何れに分類されるかを示す図である。

【図4】BCU117の内部構成を示す図である。

【図5】BCU117の『複数マスタ 対 複数スレーブ』の同時接続により、データ転送が並列に行われる様子を示す図である。

【図6】内部観測モードを実現するために、システムLSI105に設けられた構成要素のみを示す図である。

【図7】(a) 外部選択制御保持部51がどのような規則をもって、内部選択制御信号を出力するかを示す図である。

(b) 比較器11～比較器15の識別番号と、内部選択制御信号との対応を示す対応表の一例を示す図である。

【図8】(a) n ビットの内部バスの伝送内容と、 n ビットの期待値との一致比較を行う比較器11～比較器15の回路構成を示す図である。

(b) 排他的論理和ゲート57についての真理値表である。

【図9】内部観測モードにおけるシステムSTB-LSI105内のタイミングチャートである。

【図10】第2実施形態における観測制御装置9の内部構成を示す図である。。

【図11】(a)(b) 本実施形態における内部観測状態と、各内部観測状態の遷移条件を示す図である。

【図12】第2実施形態における一致検出信号制御装置53の内部構成を示す図である。

【図13】第3実施形態における観測制御装置9の内部構成を示す図である。

【図14】第4実施形態において、セレクト部10がどのようにシステムLSI105内に接続されているかを示す図である。

【図15】(a)(b) 通常動作モード及び内部観測モードにおけるタイミングチャートである。

【図16】第5実施形態における観測制御装置9の内部構成を示す図である。

【図17】第6実施形態に係る観測制御装置9の内部構成を示す図である。

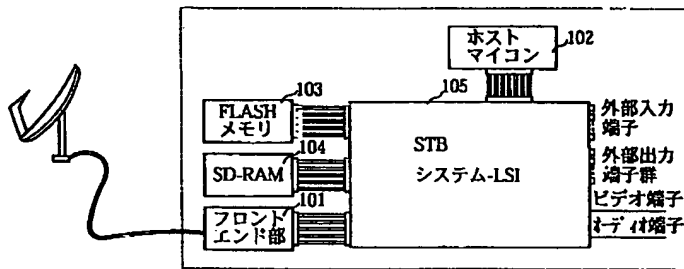
【図18】第7実施形態に係る観測制御装置9の内部構成を示す図である。

【図19】第8実施形態におけるBCU117の内部構成を示す図である。

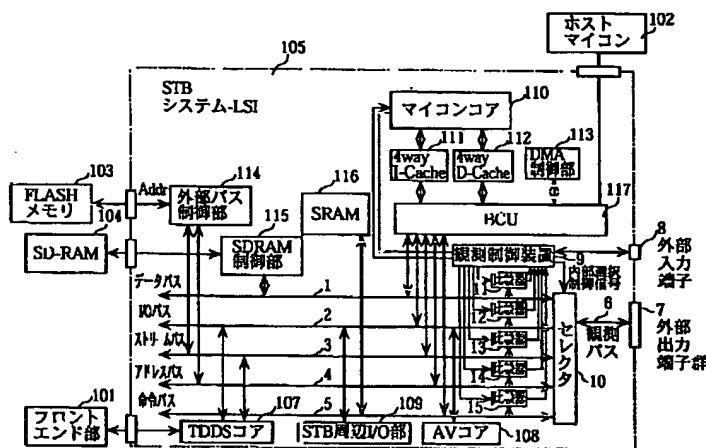
【符号の説明】

- 1 データバス
- 2 I/Oバス
- 3 ストリームバス
- 4 アドレスバス
- 5 命令バス
- 6 観測バス
- 7 外部出力端子群
- 8 外部入力端子
- 9 観測制御装置
- 10 セレクト部
- 11～15 比較器
- 31 クロスバススイッチ
- 40～42 調停装置
- 51 外部選択制御保持部
- 52 選択制御装置
- 53 一致検出信号制御装置
- 54 割込制御装置
- 100 衛星放送アンテナ
- 101 フロントエンド部
- 102 ホストマイコン
- 103 FLASHメモリ
- 107 TDDSコア
- 108 AVコア
- 109 STB周辺I/O部
- 110 マイコンコア
- 113 DMA制御部
- 114 外部バス制御部
- 115 SDRAM制御部

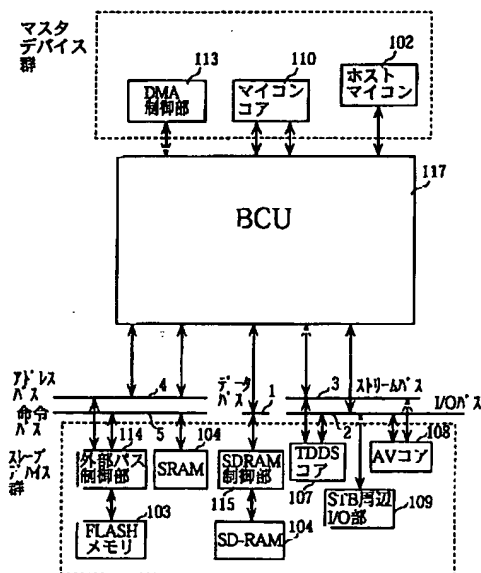
【図1】



【図2】



【図3】



【図7】

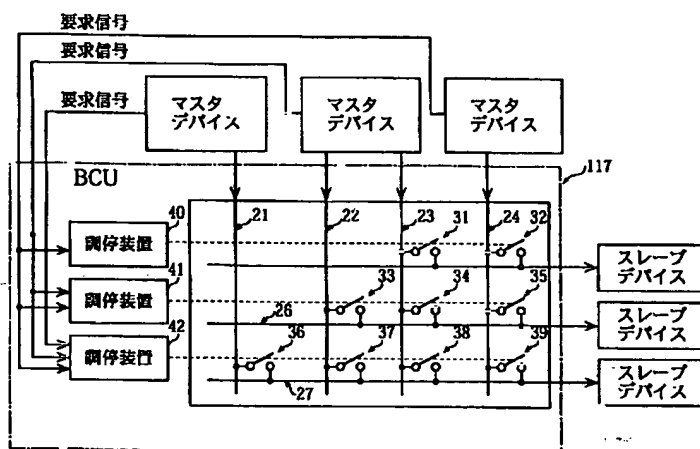
(a)

| 外部選択制御信号 | 内部選択制御信号 | 制御バス |
|----------|--------------|---------|
| 00 | 比較器の一致検出に変わる | |
| 01 | SEL1 | データバス |
| 10 | SEL2 | IOバス |
| 11 | SEL3 | ストリームバス |

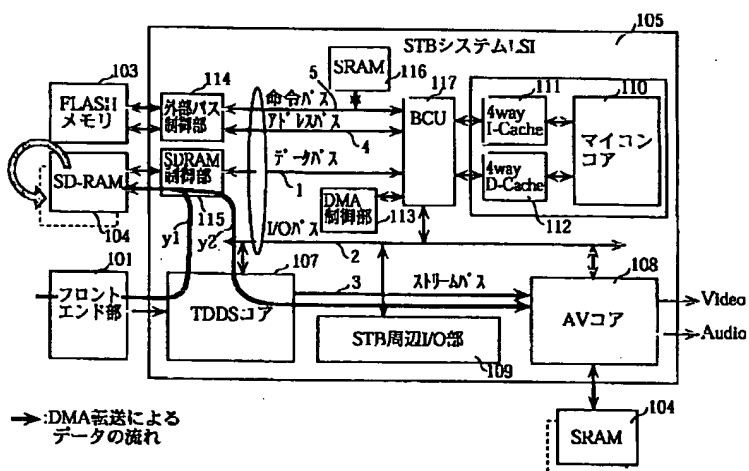
(b)
単純固定の場合

| | 内部選択制御信号 | 制御バス |
|-----------|----------|-------|
| 比較器11一致検出 | -- | -- |
| 比較器12一致検出 | -- | -- |
| 比較器13一致検出 | -- | -- |
| 比較器14一致検出 | SEL1 | データバス |
| 比較器15一致検出 | SEL2 | IOバス |

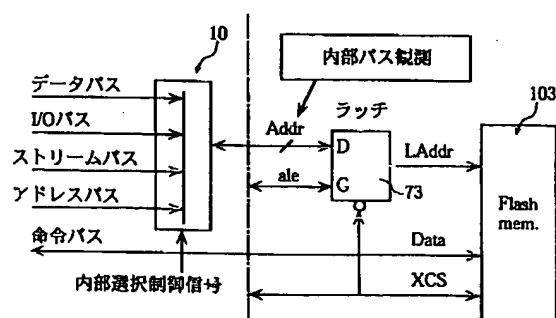
【図4】



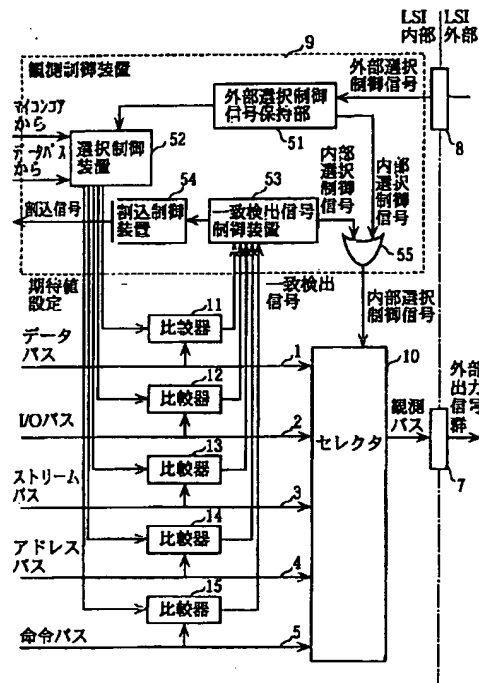
【図5】



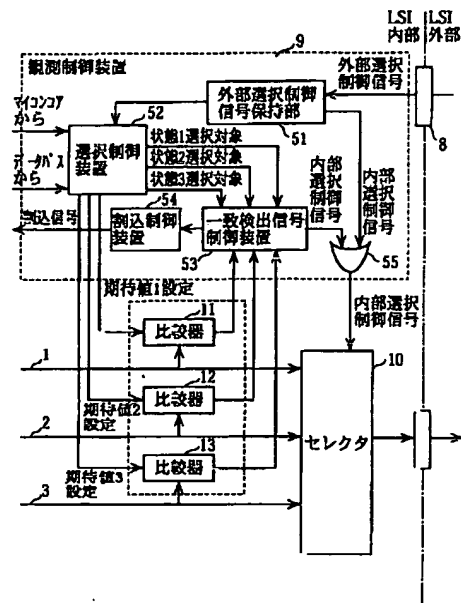
【図14】



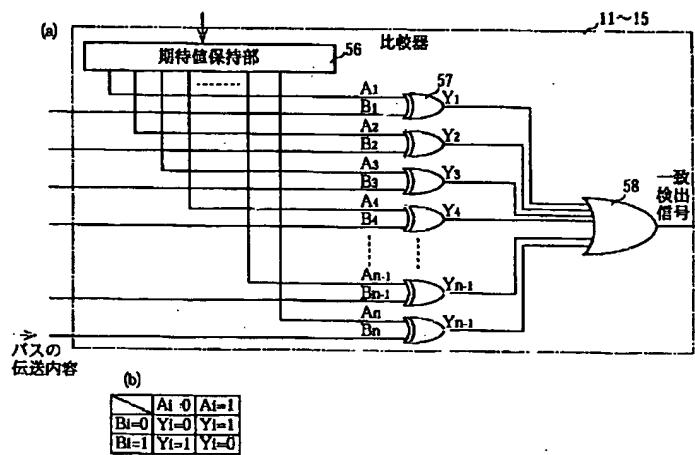
【図6】



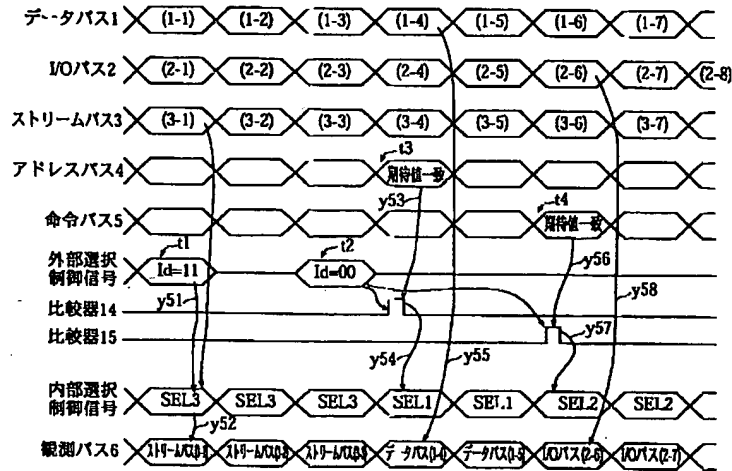
【図10】



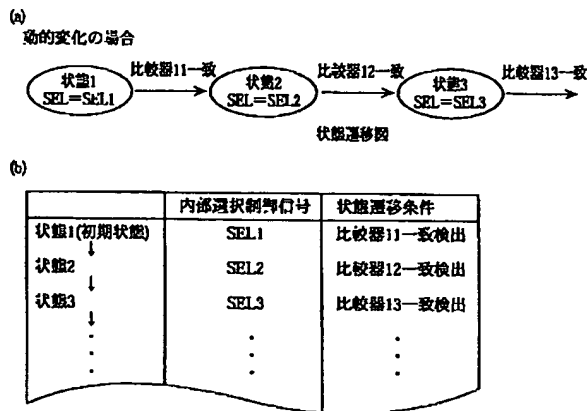
【図8】



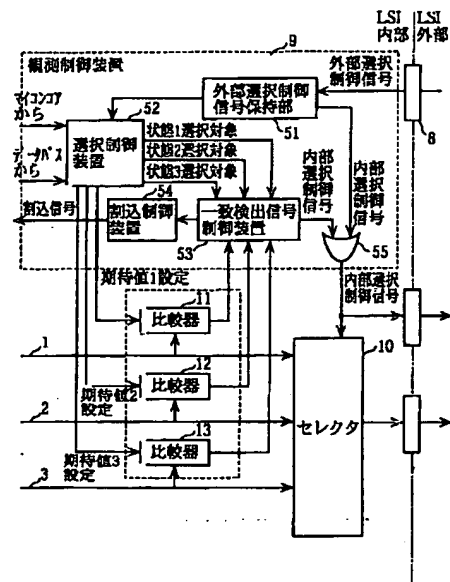
【図9】



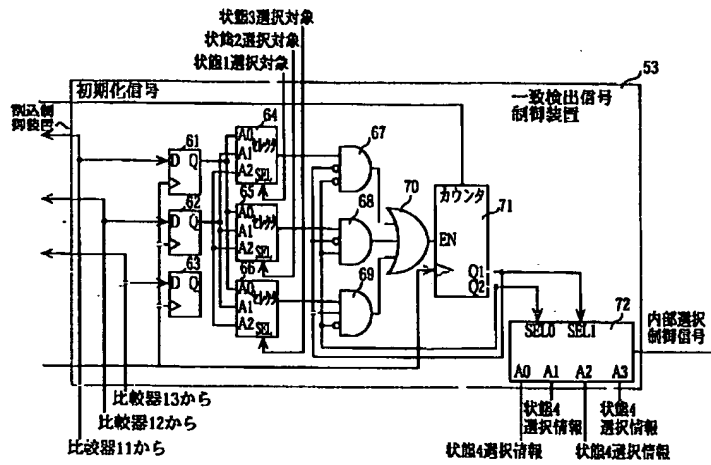
【図11】



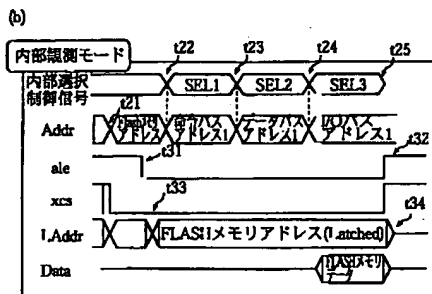
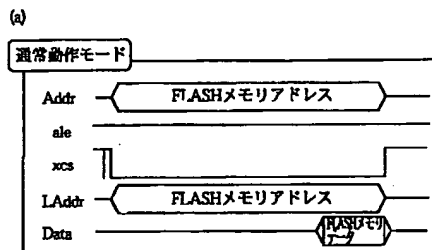
【図13】



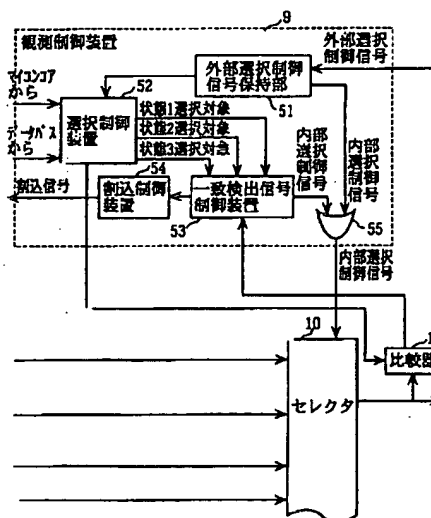
【図12】



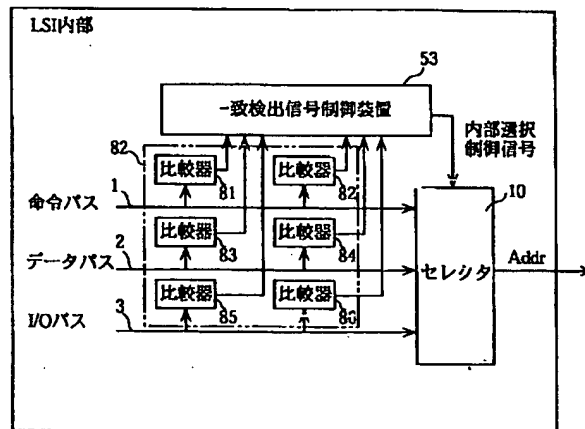
【図15】



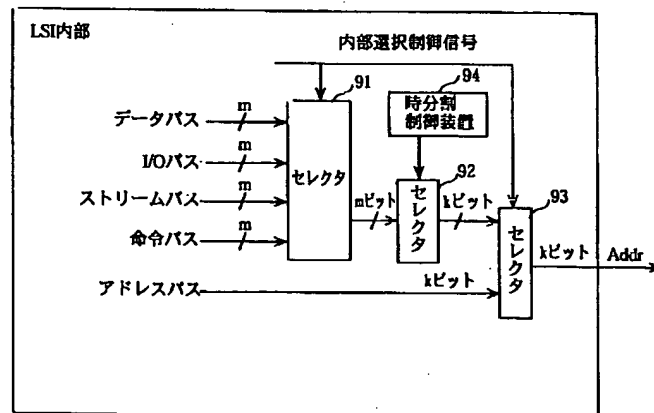
【図17】



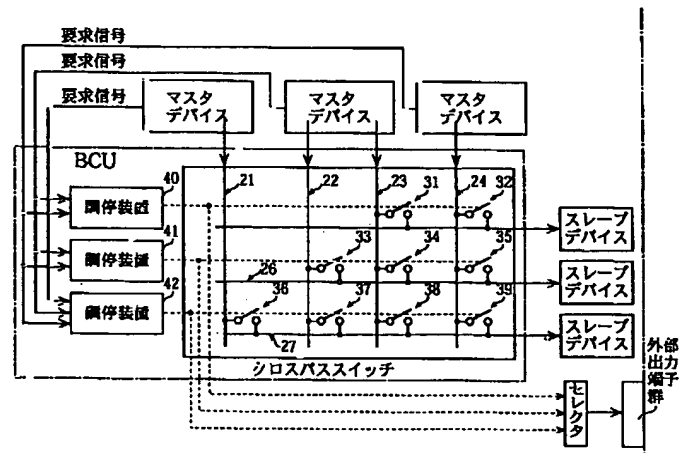
【図16】



【図18】



【図19】



フロントページの続き

(72)発明者 関部 勉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B048 AA12 CC02 DD10

5B062 AA02 CC01 EE01 EE02 FF05
JJ07 JJ08